

**This Page Is Inserted by IFW Operations
and is not a part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKEWED/SLANTED IMAGES**
- **COLORED PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10092299 A**(43) Date of publication of application: **10.04.98**

(51) Int. Cl. **H01J 1/30**
H01J 9/02

(21) Application number: **08250279**(71) Applicant: **HITACHI LTD**(22) Date of filing: **20.09.96**

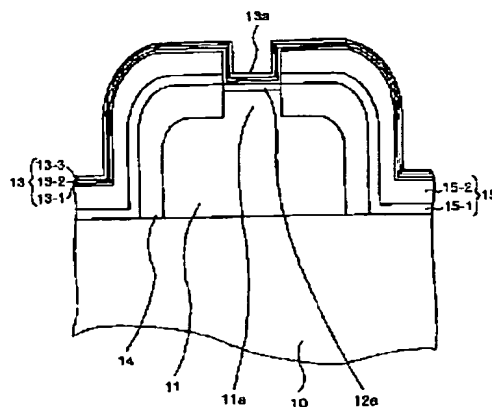
(72) Inventor: **KUSUNOKI TOSHIAKI**
SUZUKI MUTSUZOU

(54) **THIN FILM ELECTRON SOURCE, THIN FILM
 ELECTRON SOURCE MATRIX, THEIR
 MANUFACTURE, AND THIN FILM ELECTRON
 SOURCE MATRIX DISPLAY DEVICE**

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a thin film electron source having good electron emission efficiency by covering an upper electrode bus line layer with an upper electrode layer to form a laminated film for the portion other than an electron emission section.

SOLUTION: A stripe-like lower electrode 11 made of an Al film having the thickness of about 300nm is formed on an insulating substrate 10 (made of glass or the like), and the portion other than its electron emission section 11a is anodized to form a protective insulating film 14 having the thickness of about 68nm. An upper electrode bus line layer is constituted of a lower layer 15-1 (thickness of about 30nm) made of Mo or the like and an upper layer 15-2 (thickness of about 100nm) made of Au or the like. An window is opened at the upper section of the electron emission section 11a to form a tunnel insulating layer 12a having the thickness of about 5.5nm, then an upper electrode layer 13 having an electrode section 13a constituted of a lower layer 13-1 (thickness of about 1nm) made of Ir, an intermediate layer 13-2 (thickness of about 2nm) made of Pt, and an upper layer 13-3 (thickness of about 3nm) made of Au is formed on the whole face of the substrate 10, and a thin film electron source is manufactured.

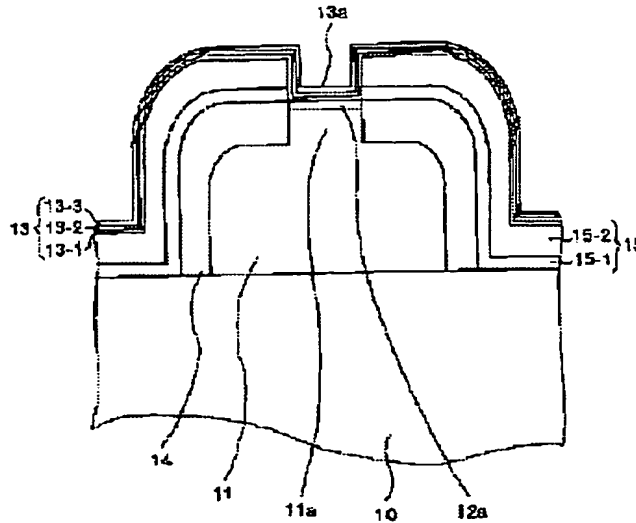


COPYRIGHT: (C)1998,JPO



Lab
Code
S.H.I.E
List

Text: Application No.: 08-250279



Citation Indicators

Go to first matching text

JP10092299 A

**THIN FILM ELECTRON SOURCE, THIN FILM ELECTRON SOURCE MATRIX, THEIR
MANUFACTURE, AND THIN FILM ELECTRON SOURCE MATRIX DISPLAY DEVICE
HITACHI LTD**

Inventor(s):KUSUNOKI TOSHIAKI ;SUZUKI MUTSUZOU

Application No. 08250279 JP08250279 JP, Filed 19960920,A1 Published 19980410

Abstract: PROBLEM TO BE SOLVED: To provide a thin film electron source having good electron emission efficiency by covering an upper electrode bus line layer with an upper electrode layer to form a laminated film for the portion other than an electron emission section.

SOLUTION: A stripe-like lower electrode 11 made of an Al film having the thickness of about 300nm is formed on an insulating substrate 10 (made of glass or the like), and the portion other than its electron emission section 11a is anodized to form a protective insulating film 14 having the thickness of about 68nm. An upper electrode bus line layer is constituted of a lower layer 15-1 (thickness of about 30nm) made of Mo or the like and an upper layer 15-2

(thickness of about 100nm) made of Au or the like. An window is formed at the upper section of the electron emission section 11a to form a tunnel insulating layer 12a having the thickness of about 5.5nm, then an upper electrode layer 13 having an electrode section 13a constituted of a lower layer 13-1 (thickness of about 1nm) made of Ir, an intermediate layer 13-2 (thickness of about 2nm) made of Pt, and an upper layer 13-3 (thickness of about 3nm) made of Au is formed on the whole face of the substrate 10, and a thin film electron source is manufactured.

Int'l Class: H01J00130; H01J00902

Patents Citing This One (1):

→ WO0126128A1 20010412 HITACHI, LTD.
ELECTRON SOURCE, METHOD OF MANUFACTURE THEREOF,
AND DISPLAY DEVICE



Home



Search



List

For further information, please contact:
[Technical Support](#) | [Billing](#) | [Sales](#) | [General Information](#)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-92299

(43)公開日 平成10年(1998)4月10日

(51) Int.Cl.⁸

識別記号

FI

H O 1 J 1/30
9/02

H O I J 1/30
9/02

M
M

審査請求 未請求 請求項の数26 O.L (全 16 頁)

(21)出願番号 特願平8-250279

(22)出願日 平成8年(1996)9月20日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 楠 敏明

東京都国分寺市東恋ヶ窪一丁目280番地株

式会社日立製作所中央研究所内

(72) 発明者 鈴木 睦三

東京都国分寺市東恋ヶ窪一丁目280番地株

式会社日立製作所中央研究所内

(74)代理人 弁理士 高橋 明夫 (外1名)

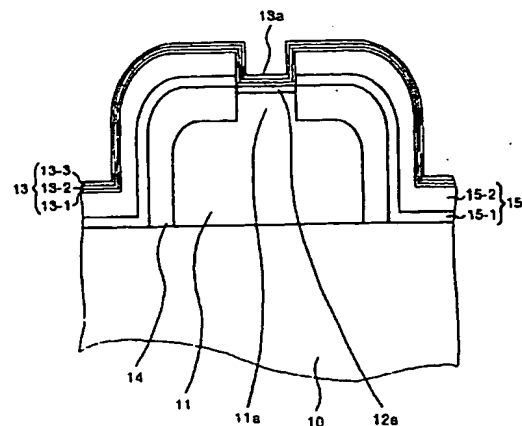
(54) 【発明の名称】 薄膜型電子源及び薄膜型電子源マトリクス並びにそれらの製造方法並びに薄膜型電子源マトリクス表示装置

(57) 【要約】

【課題】薄膜型電子源及び薄膜型電子源マトリクスの製造プロセスを簡略化、高信頼化するとともに、自己整合的に作成するプロセスを提供する。

【解決手段】薄膜型電子源及び薄膜型電子源マトリクスを、電子放出部は、整合した薄いトンネル絶縁層電子放出部及び薄い上部電極層電子放出部で構成し、上記薄いトンネル絶縁層電子放出部を形成した下部電極層のエッジ部には厚い保護絶縁層が形成され上記薄い上部電極層は上部電極バスライン層をも覆うように形成されている。その製造は、溶解特性の異なる２種類のレジストを用いて、それぞれ、上記電子放出部形成用のレジストパターン及び上部電極バスライン形成用のレジストパターンを作成し、それぞれ対応する工程でリフトオフを行うことにより、自己整合的に行う。

14



【特許請求の範囲】

【請求項1】絶縁性基板上に、下部電極層、トンネル絶縁層、上部電極層をこの順で積層した電子放出部を有し、さらに、前記上部電極層に接続された上部電極バスライン層とを備える薄膜型電子源及び薄膜型電子源マトリクスにおいて、前記電子放出部以外の部分で前記上部電極層が前記上部電極バスライン層を覆って前記上部電極バスライン層及び前記上部電極層の積層膜からなる上部電極バスラインを形成していることを特徴とする薄膜型電子源及び薄膜型電子源マトリクス。

【請求項2】絶縁性基板上に、下部電極層、トンネル絶縁層、上部電極層をこの順で積層した電子放出部を有し、さらに、前記上部電極層に接続された上部電極バスライン層と、前記下部電極層を物理的に保護しかつ前記下部電極層を前記上部電極バスライン層から電気的に絶縁する保護絶縁層とを備える薄膜型電子源及び薄膜型電子源マトリクスにおいて、前記電子放出部以外の部分で前記上部電極層が前記上部電極バスライン層を覆って前記上部電極バスライン層及び前記上部電極層の積層膜からなる上部電極バスラインを形成していることを特徴とする薄膜型電子源及び薄膜型電子源マトリクス。

【請求項3】前記上部電極バスライン層が、前記絶縁性基板及び前記保護絶縁層との接着性の良い金属膜を下層とし、耐酸化性が高い金属膜を上層とする積層膜からなることを特徴とする請求項1又は請求項2記載の薄膜型電子源及び薄膜型電子源マトリクス。

【請求項4】前記保護絶縁層及び前記上部電極バスライン層は、それぞれ、前記電子放出部が形成される電子放出部窓を備え、前記保護絶縁層の電子放出部窓と前記上部電極バスライン層の電子放出部窓とは、整合して形成されていることを特徴とする請求項2又は請求項3記載の薄膜型電子源及び薄膜型電子源マトリクス。

【請求項5】前記保護絶縁層が、前記下部電極層の表面を陽極酸化して得られる絶縁層であることを特徴とする請求項4記載の薄膜型電子源及び薄膜型電子源マトリクス。

【請求項6】前記保護絶縁層が、前記下部電極層上に絶縁物を堆積して形成した絶縁層であることを特徴とする請求項4記載の薄膜型電子源及び薄膜型電子源マトリクス。

【請求項7】上記保護絶縁層が、前記下部電極の表面を陽極酸化して得られる絶縁層を下層とし、絶縁物を堆積して形成する絶縁層を上層とする積層膜であることを特徴とする請求項4記載の薄膜型電子源及び薄膜型電子源マトリクス。

【請求項8】絶縁性基板上に、下部電極層、トンネル絶縁層、上部電極層をこの順で積層した電子放出部を有し、さらに、前記上部電極層に接続された上部電極バスライン層と、前記下部電極層を前記上部電極バスライン層から電気的に絶縁する絶縁層とを備える薄膜型電子源

及び薄膜型電子源マトリクスの製造方法において、前記絶縁性基板上に前記下部電極層を形成する工程と、上記下部電極層に対して、溶剤に対する溶解特性が異なる2種類のレジストを用い、上部電極バスライン切断用の第1のレジストパターンと、電子放出窓形成用の第2のレジストパターンとの2種類のレジストパターンを順次形成する2種類のレジストパターンニング工程と、前記第1のレジストパターン及び前記第2のレジストパターンの存在下で前記下部電極層の表面に前記絶縁層を形成する工程と、上記絶縁層形成工程で得られた第1の中間基板体の表面に上部電極バスライン層材料を成膜する工程と、前記第2のレジストパターンをリフトオフして電子放出部窓を形成する工程と、上記電子放出部窓を通して前記下部電極層にトンネル絶縁層を形成する工程と、上記トンネル絶縁層形成工程で得られた第2の中間基板体の表面に上部電極層材料を成膜して前記トンネル絶縁層上に上部電極層を形成するとともに前記上部電極バスライン層及び上記上部電極層の積層膜からなる上部電極バスラインを形成する工程と、前記第1のレジストパターンをリフトオフして前記上部電極バスライン層及び上記上部電極層の積層膜からなる上部電極バスラインを前記第1のレジストパターンに応じて除去する工程とからなることを特徴とする薄膜型電子源及び薄膜型電子源マトリクスの製造方法。

【請求項9】絶縁性基板上に、下部電極層、トンネル絶縁層、上部電極層をこの順で積層した電子放出部を有し、さらに、前記上部電極層に接続された上部電極バスライン層と、前記下部電極層を物理的に保護しかつ前記下部電極層を前記上部電極バスライン層から電気的に絶縁する保護絶縁層とを備える薄膜型電子源及び薄膜型電子源マトリクスの製造方法において、絶縁性基板上に下部電極層を形成する工程と、上記下部電極層に対して、溶剤に対する溶解特性が異なる2種類のレジストを用い、上部電極バスライン切断用の第1のレジストパターンと、電子放出窓形成用の第2のレジストパターンとの2種類のレジストパターンを順次形成する2種類のレジストパターンニング工程と、前記第1のレジストパターン及び前記第2のレジストパターンの存在下で前記下部電極層の表面に前記保護絶縁層を形成する工程と、上記保護絶縁層形成工程で得られた第1の中間基板体の表面に上部電極バスライン層材料を成膜する工程と、前記第2のレジストパターンをリフトオフして電子放出部窓を形成する工程と、上記電子放出部窓を通して前記下部電極層にトンネル絶縁層を形成する工程と、上記トンネル絶縁層形成工程で得られた第2の中間基板体の表面に上部電極層材料を成膜して前記トンネル絶縁層上に上部電極層を形成するとともに前記上部電極バスライン層及び上記上部電極層の積層膜からなる上部電極バスラインを形成する工程と、前記第1のレジストパターンをリフトオフして、前記上部電極バスライン層及び上記上部電極層

の積層膜からなる上部電極バスラインを前記第1のレジストパターンに応じて除去する工程とからなることを特徴とする薄膜型電子源及び薄膜型電子源マトリクスの製造方法。

【請求項10】絶縁性基板上に、下部電極層、トンネル絶縁層、上部電極層をこの順で積層した電子放出部を有し、さらに、前記上部電極層に接続された上部電極バスライン層と、前記下部電極層を前記上部電極バスライン層から電気的に絶縁する絶縁層とを備える薄膜型電子源及び薄膜型電子源マトリクスの製造方法において、前記絶縁性基板上に前記下部電極層を形成する工程と、上記下部電極層の表面に前記トンネル絶縁層を形成する工程と、上記下部電極層に対して、溶剤に対する溶解特性が異なる2種類のレジストを用い、上部電極バスライン切断用の第1のレジストパターンと、電子放出窓形成用の第2のレジストパターンとの2種類のレジストパターンを順次形成する2種類のレジストパターンニング工程と、前記第1のレジストパターン及び前記第2のレジストパターンの存在下で前記下部電極層の表面に前記絶縁層を形成する工程と、上記絶縁層形成工程で得られた第1の中間基板体の表面に上部電極バスライン層材料を成膜する工程と、前記第2のレジストパターンをリフトオフして電子放出部窓を形成する工程と、上記電子放出部窓形成工程で得られた第2の中間基板体の表面に上部電極層材料を成膜して前記トンネル絶縁層上に上部電極層を形成するに依りて前記上部電極バスライン層及び上記上部電極層の積層膜からなる上部電極バスラインを前記第1のレジストパターンに応じて除去する工程とからなることを特徴とする薄膜型電子源及び薄膜型電子源マトリクスの製造方法。

【請求項11】絶縁性基板上に、下部電極層、トンネル絶縁層、上部電極層をこの順で積層した電子放出部を有し、さらに、前記上部電極層に接続された上部電極バスライン層と、前記下部電極層を前記上部電極バスライン層から電気的に絶縁する絶縁層とを備える薄膜型電子源及び薄膜型電子源マトリクスの製造方法において、前記絶縁性基板上に前記下部電極層を形成する工程と、上記下部電極層の表面に前記トンネル絶縁層を形成する工程と、上記下部電極層に対して、溶剤に対する溶解特性が異なる2種類のレジストを用い、上部電極バスライン切断用の第1のレジストパターンと、電子放出窓形成用の第2のレジストパターンとの2種類のレジストパターンを順次形成する2種類のレジストパターンニング工程と、前記第1のレジストパターン及び前記第2のレジストパターンの存在下で前記下部電極層の表面に前記絶縁層を形成する工程と、上記絶縁層形成工程で得られた第1の中間基板体の表面に上部電極バスライン層材料を成膜する工程と、前記第2のレジストパターンをリフトオフし

て電子放出部窓を形成する工程と、上記電子放出部窓を通して前記下部電極層に形成されたトンネル絶縁層を修正する工程と、上記トンネル絶縁層修正形成工程で得られた第2の中間基板体の表面に上部電極層材料を成膜して前記トンネル絶縁層上に上部電極層を形成するとともに前記上部電極バスライン層及び上記上部電極層の積層膜からなる上部電極バスラインを形成する工程と、前記第2のレジストパターンをリフトオフして前記上部電極バスライン層及び上記上部電極層の積層膜からなる上部電極バスラインを前記第1のレジストパターンに応じて除去する工程とからなることを特徴とする薄膜型電子源及び薄膜型電子源マトリクスの製造方法。

【請求項12】絶縁性基板上に、下部電極層、トンネル絶縁層、上部電極層をこの順で積層した電子放出部を有し、さらに、前記上部電極層に接続された上部電極バスライン層と、前記下部電極層を物理的に保護しかつ前記下部電極層を前記上部電極バスライン層から電気的に絶縁する保護絶縁層とを備える薄膜型電子源及び薄膜型電子源マトリクスの製造方法において、前記絶縁性基板上に前記下部電極層を形成する工程と、上記下部電極層の表面に前記トンネル絶縁層を形成する工程と、上記下部電極層に対して、溶剤に対する溶解特性が異なる2種類のレジストを用い、上部電極バスライン層切断用の第1のレジストパターンと、電子放出窓形成用の第2のレジストパターンとの2種類のレジストパターンを順次形成する2種類のレジストパターンニング工程と、前記第1のレジストパターン及び前記第2のレジストパターンの存在下で前記下部電極層の表面に前記保護絶縁層を形成する工程と、上記保護絶縁層形成工程で得られた第1の中間基板体の表面に上部電極バスライン層材料を成膜する工程と、前記第2のレジストパターンをリフトオフして電子放出部窓を形成する工程と、上記電子放出部窓形成工程で得られた第2の中間基板体の表面に上部電極層材料を成膜して前記トンネル絶縁層上に上部電極層を形成するとともに前記上部電極バスライン層及び上記上部電極層の積層膜からなる上部電極バスラインを形成する工程と、前記第1のレジストパターンをリフトオフして前記上部電極バスライン層及び上記上部電極層の積層膜からなる上部電極バスラインを前記第1のレジストパターンに応じて除去する工程とからなることを特徴とする薄膜型電子源及び薄膜型電子源マトリクスの製造方法。

【請求項13】絶縁性基板上に、下部電極層、トンネル絶縁層、上部電極層をこの順で積層した電子放出部を有し、さらに、前記上部電極層に接続された上部電極バスライン層と、前記下部電極層を物理的に保護しかつ前記下部電極層を前記上部電極バスライン層から電気的に絶縁する保護絶縁層とを備える薄膜型電子源及び薄膜型電子源マトリクスの製造方法において、前記絶縁性基板上に前記下部電極層を形成する工程と、上記下部電極層の表面に前記トンネル絶縁層を形成する工程と、上記下部

電極層に対して、溶剤に対する溶解特性が異なる2種類のレジストを用い、上部電極バスライン切断用の第1のレジストパターンと、電子放出窓形成用の第2のレジストパターンとの2種類のレジストパターンを順次形成する2種類のレジストパターニング工程と、前記第1のレジストパターン及び前記第2のレジストパターンの存在下で前記下部電極層の表面に前記保護絶縁層を形成する工程と、上記保護絶縁層形成工程で得られた第1の中間基板体の表面に上部電極バスライン層材料を成膜する工程と、前記第2のレジストパターンをリフトオフして電子放出部窓を形成する工程と、上記電子放出部窓を通して前記下部電極層に形勢されたトンネル絶縁層を修正形成する工程と、上記トンネル絶縁層修正工程で得られた第2の中間基板体の表面に上部電極層材料を成膜して前記トンネル絶縁層上に上部電極層を形成するとともに前記上部電極バスライン層及び上記上部電極層の積層膜からなる上部電極バスラインを形成する工程と、前記第1のレジストパターンをリフトオフして前記上部電極バスライン層及び上記上部電極層の積層膜からなる上部電極バスラインを前記第1のレジストパターンに応じて除去する工程とからなることを特徴とする薄膜型電子源及び薄膜型電子源マトリクスの製造方法。

【請求項14】上記2種類のレジストとして、ポストバーク温度によって特定の溶剤に対する溶解度が変化するフォトレジストを、異なるポストバーク温度で処理したものをを用いることを特徴とする請求項8ないし請求項13のいずれかに記載の薄膜型電子源及び薄膜型電子源マトリクスの製造方法。

【請求項15】上記ポストバーク温度によって特定の溶剤に対する溶解度が変化するフォトレジストとして、キノン・ジアザイド系のポジ型フォトレジストを用い、特定の溶剤としてアセトンを用いることを特徴とする請求項8ないし請求項13のいずれかに記載の薄膜型電子源及び薄膜型電子源マトリクスの製造方法。

【請求項16】上記ポストバーク温度によって特定の溶剤に対する溶解度が変化するフォトレジストとして、キノン・ジアザイド系のポジ型フォトレジストを用い、特定の溶剤としてアルコールを用いることを特徴とする請求項8ないし請求項13のいずれかに記載の薄膜型電子源及び薄膜型電子源マトリクスの製造方法。

【請求項17】前記保護絶縁層が、前記下部電極層の表面を陽極酸化して得られる絶縁層であることを特徴とする請求項9、請求項12及び請求項13のいずれかに記載の薄膜型電子源及び薄膜型電子源マトリクス。

【請求項18】前記保護絶縁層が、前記下部電極層上に絶縁物を堆積して形成した絶縁層であることを特徴とする請求項9、請求項12及び請求項13のいずれかに記載の薄膜型電子源及び薄膜型電子源マトリクスの製造方法。

【請求項19】上記保護絶縁層が、前記下部電極の表面

を陽極酸化して得られる絶縁層を下層とし、絶縁物を堆積して形成する絶縁層を上層とする積層膜であることを特徴とする請求項9、請求項12及び請求項13のいずれかに記載の薄膜型電子源及び薄膜型電子源マトリクスの製造方法。

【請求項20】絶縁性基板上に、下部電極層、トンネル絶縁層、上部電極層をこの順で積層した電子放出部を多数、マトリクス状に配列してなり、さらに、前記下部電極層に接続された下部電極バスライン及び上記下部電極バスラインと交差し前記上部電極層に接続された上部電極バスライン層とを備え、前記電子放出部位以外の部分では前記上部電極層が前記上部電極バスライン層を覆って前記上部電極バスライン層及び前記上部電極層の積層膜からなる上部電極バスラインを形成している薄膜型電子源マトリクスと、蛍光体を塗布した面板とを間隔をおいて張り合わせ、前記間隔を真空に封じた表示装置パネルと、前記下部電極バスラインに接続された下部電極駆動回路と、前記積層膜上部電極バスラインに接続された上部電極駆動回路とからなることを特徴とする薄膜型電子源マトリクス表示装置。

【請求項21】絶縁性基板上に、下部電極層、トンネル絶縁層、上部電極層をこの順で積層した電子放出部を多数、マトリクス状に配列してなり、さらに、前記下部電極層に接続された下部電極バスライン及び上記下部電極バスラインと交差し前記上部電極層に接続された上部電極バスライン層と、前記下部電極層を物理的に保護しかつ前記下部電極層を前記上部電極バスライン層から電気的に絶縁する保護絶縁層とを備え、前記電子放出以外の部分では、前記上部電極層が前記上部電極バスライン層を覆って前記上部電極バスライン層及び前記上部電極層の積層膜からなる上部電極バスラインを形成している薄膜型電子源マトリクスと、蛍光体を塗布した面板とを間隔をおいて張り合わせ、前記間隔を真空に封じた表示装置パネルと、前記下部電極バスラインに接続された下部電極駆動回路と、前記積層膜上部電極バスラインに接続された上部電極駆動回路とからなることを特徴とする薄膜型電子源マトリクス表示装置。

【請求項22】前記上部電極バスライン層が、前記絶縁性基板及び前記保護絶縁層との接着性の良い金属膜を下層とし、耐酸化性が大きい金属膜を上層とする積層膜であることを特徴とする請求項21記載の薄膜型電子源マトリクス表示装置。

【請求項23】前記保護絶縁層及び前記上部電極バスライン層は、それぞれ、電子放出部窓を備え、前記保護絶縁層の電子放出部窓と前記上部電極バスライン層の電子放出部窓とは、整合して形成されていることを特徴とする請求項21記載の薄膜型電子源マトリクス表示装置。

【請求項24】前記保護絶縁層が、前記下部電極層の表面を陽極酸化して得られる絶縁層であることを特徴とする請求項21記載の薄膜型電子源マトリクス表示装置。

【請求項25】前記保護絶縁層が、前記下部電極層上に絶縁物を堆積して形成した絶縁層であることを特徴とする請求項21記載の薄膜型電子源マトリクス表示装置。

【請求項26】上記保護絶縁層が、前記下部電極の表面を陽極酸化して得られる絶縁層を下層とし、絶縁物を堆積して形成する絶縁層を上層とする積層膜であることを特徴とする請求項21記載の薄膜型電子源マトリクス表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、下部電極層—トンネル絶縁層—上部電極層の3層構造の電子放出部を有し、上部電極層から真空中に電子を放出する薄膜型電子源及び薄膜型電子源マトリクスの構造並びにそれらの製造方法並びに上記薄膜型電子源マトリクスを用いた表示装置に関する。

【0002】

【従来の技術】薄膜型電子源とは、下部電極層—トンネル絶縁層—上部電極層の3層薄膜構造の電子放出部を有し、下部電極層と上部電極層との間に電圧を印加して、上部電極層の表面から真空中に電子を放出させるものである。この薄膜型電子源については、例えば、特開平7-65710号公報に述べられている。

【0003】薄膜型電子源の動作原理は図1に示す通りである。上部電極層13と下部電極層11との間に駆動電圧30を印加して、トンネル絶縁層12内の電界を1~10MV/cm以上にすると、下部電極層11中のフェルミ準位近傍の電子はトンネル現象により障壁を透過し、トンネル絶縁層12、上部電極層13の伝導帯へ注入されホットエレクトロンとなる。これらのホットエレクトロンのうち、上部電極層13の仕事関数 ϕ 以上のエネルギーを有するものは、真空16中に放出される。

【0004】この薄膜型電子源の代表的な応用例としては、下部電極層11をストライプ状に形成し、その表面を酸化した後、下部電極層11とは直交方向に上部電極層13のストライプを形成することにより、多数の薄膜型電子源素子をマトリクス状に配列した構成の薄膜型電子源マトリクスがある。この薄膜型電子源マトリクスを、マトリクス駆動することにより、任意パターンの電子ビームを放出することが可能であり、フラットパネルディスプレイ等への応用が期待されている。

【0005】

【発明が解決しようとする課題】図2に、従来の薄膜型電子源の基本的な構造の断面図を示す。上記したように、薄膜型電子源の構造の基本的な特徴は、トンネル現象を利用するため、トンネル絶縁層12が3~10nm程度と薄いこと、及び、ホットエレクトロンの散乱を抑制し高い電子放出効率を得るため、上部電極層13が3~10nm程度と薄いことである。

【0006】図2に示す、従来の薄膜型電子源の構造に

おいては、薄い上部電極層13は、電気抵抗が高く電圧降下を起こし易い。特に、大規模な薄膜型電子源マトリクスを形成する場合、上部電極層13の配線長が長くなるため、各薄膜型電子源に供給される電圧が位置によって著しく異なり、薄膜型電子源マトリクスの面内の電子放出量が不均一となる。一方、薄いトンネル絶縁層12にはエッジ部の電界集中が生じやすく局所的な絶縁破壊が起きやすい。エッジ部の絶縁破壊を防止するために、エッジ部をテーパ状に加工し電界集中を避けることが考えられる、加工が困難で現実的ではない。

【0007】そこで、図2に示す構造の問題点を解決する構造として、厚い上部電極バスライン層及び厚い保護絶縁層を備える薄膜型電子源が、例えば、バキュームテクニック 28巻、3号、(1978年)66-75ページ: Vakuum-Technik 28, Heft 3, (1978) pp 66-75)に報告されている。図3に、その構造の断面図を示す。

【0008】図3において、下部電極11上に形成した薄いトンネル絶縁層12の上方中央部の電子放出部12aを除いた部分を厚い保護絶縁層14で覆うことにより、エッジ部の絶縁破壊を防止する。また、上部電極側については、上記トンネル絶縁層電子放出部12aに対応して薄い上部電極層電子放出部13aを形成し、この薄い上部電極層電子放出部13aの周囲と接続しかつ上記厚い保護絶縁層14を覆う厚い上部電極バスライン層15を形成し、上部電極バスラインの低抵抗値化を図っている。単一の薄膜型電子源の場合でも、薄い上部電極層13は強度が弱く、配線が取り出しにくい。そのため、やはり厚い上部電極バスライン層15が形成される。

【0009】図3に示されるような薄膜型電子源及び薄膜型電子源マトリクスの構造を得るためには、トンネル絶縁層12上に、保護絶縁層14、上部電極13、上部電極バスライン層15を、順次、パターニングしながら、形成していかなければならない。

【0010】従来のプロセスでは、それらのパターニングに、メタルマスクプロセスを用いたり、フォトレジストのリフトオフプロセスを用いている。しかし、メタルマスクプロセスでは微細化、大面積化に限界があり、また、メタルマスクで薄膜型電子源自体を傷つけるなどの問題がある。一方、リフトオフプロセスでは、まず電子放出部周囲に形成する保護絶縁層14、つぎに電子放出部に形成する上部電極層13、また電子放出部周囲に形成する上部電極バスライン層15と、交互に異なるレジストパターンを形成し、成膜、リフトオフを何回も繰り返さなければならない。そのため、プロセスが長く、パターニング位置精度も厳しい。さらに上部電極層13や上部電極バスライン層15用のレジストパターン形成に用いる現像液により、トンネル絶縁層12や保護絶縁層14がダメージを受け、歩留りが低下する問題もあっ

た。

【0011】本発明の目的は、電子放出部には薄いトンネル絶縁層と薄い上部電極層を、電子放出部以外に厚い保護絶縁層と厚い上部電極バスライン層を高精度で容易に形成し得る薄膜型電子源及び薄膜型電子源マトリクス

の新しい構造並びにその製造のための新しいプロセスを提供することである。

【0012】本発明の他の目的は、電子放出効率の高い薄膜型電子源及び薄膜型電子源マトリクスを提供することである。

【0013】本発明の他の目的は、長寿命で、長時間動作可能な薄膜型電子源及び薄膜型電子源マトリクスを提供することである。

【0014】本発明のさらに他の目的は、位置合わせの要求精度が低く、簡略なプロセスからなる、薄膜型電子源及び薄膜型電子源マトリクスの製造方法を提供することである。

【0015】本発明の別の目的は、発光効率が高く、均一な表示が可能な薄膜型電子源マトリクス表示装置を提供することである。

【0016】本発明のさらに別の目的は、強度が大きく、経時変化が少なく、外部回路への配線の取り出し容易な上部電極バスライン層を備えた薄膜型電子源及び薄膜型電子源マトリクスを提供することである。

【課題を解決するための手段】上記目的は、基板上に延在して形成された下部電極を局部的に横切って覆うように形成され、電子放出部の領域を決める電子放出窓を備えた厚い保護絶縁層と、上記厚い保護絶縁層を覆い、上記基板上に延在して形成され、かつ、上記厚い保護絶縁層の電子放出窓と整合した電子放出窓を備えた厚い上部電極バスライン層とを有し、上記厚い保護絶縁層の電子放出窓内には薄いトンネル絶縁層が形成され、上記厚い上部電極バスライン層の電子放出窓内には上記薄いトンネル絶縁層を覆う薄い上部電極層が形成され、上記薄い上部電極層は延在して上記厚い上部電極バスライン層を覆っていて、上記厚い上部電極バスライン層とともに積層膜構造の上部電極バスラインを構成している薄膜型電子源及び薄膜型電子源マトリクスにより達成される。

【0018】そして、上記した構造の薄膜型電子源及び薄膜型電子源マトリクスの製造は、基板上に形成した下部電極層に対するレジストパターニングプロセスで、溶剤に対する溶解特性が異なる2種類のレジストで2種類のレジストパターンを形成し、以後、一方のレジストパターンを電子放出部のリフトオフプロセスに、他方のレジストパターンを上部電極バスライン層と上部電極層の積層膜を加工するリフトオフプロセスに用いる方法により達成される。本発明の製造方法は、始めにリソグラフィによるパターニングを終え、その後のプロセスは成膜とリフトオフのみとなるので全体として、簡略なプロ

セスとなる。さらに、使用するフォトリソマスク枚数も少なくすむので、製造コストが低減できる。また、自己整合プロセスが主であるため、位置合わせの要求精度が低く、回数も少なくすむので、製造装置のコスト低減もできる。

【0019】上記した構造および製造方法を用いることにより、電子放出部である電子放出窓には薄いトンネル絶縁層と薄い上部電極層を、電子放出部以外には厚い保護絶縁層と厚い上部電極バスライン層を自己整合的に形成することができる。この自己整合構造は、電子放出を行う部分（薄いトンネル絶縁層及び薄い上部電極層）と、電子放出をしない部分（厚い保護絶縁層及び厚い上部電極バスライン層）とが、ポジ・ネガの関係で一致しているので高い電子放出効率が達成できる。

【0020】また、上記厚い上部電極バスライン層は、基板との接着性のよい材料を選ぶことができ、かつその表面は上記薄い上部電極層形成プロセスにより同時に形成された耐酸化性の良い金属膜により覆われているので、表面が酸化されることなく、配線の取り出しに好都合である。

【0021】本発明による解決手段の代表的なものを列挙すれば以下の通りである。

【0022】解決手段1

絶縁性基板上に、下部電極層、トンネル絶縁層、上部電極層をこの順で積層した電子放出部を有し、さらに、前記上部電極層に接続された上部電極バスライン層とを備える薄膜型電子源及び薄膜型電子源マトリクスにおいて、前記電子放出部以外の部分で前記上部電極層が前記上部電極バスライン層を覆って前記上部電極バスライン層及び前記上部電極層の積層膜からなる上部電極バスラインを形成していることを特徴とする薄膜型電子源及び薄膜型電子源マトリクス。

【0023】解決手段2

絶縁性基板上に、下部電極層、トンネル絶縁層、上部電極層をこの順で積層した電子放出部を有し、さらに、前記上部電極層に接続された上部電極バスライン層と、前記下部電極層を物理的に保護しかつ前記下部電極層を前記上部電極バスライン層から電気的に絶縁する保護絶縁層とを備える薄膜型電子源及び薄膜型電子源マトリクスにおいて、前記電子放出部以外の部分で前記上部電極層が前記上部電極バスライン層を覆って前記上部電極バスライン層及び前記上部電極層の積層膜からなる上部電極バスラインを形成していることを特徴とする薄膜型電子源及び薄膜型電子源マトリクス。

【0024】解決手段3

絶縁性基板上に、下部電極層、トンネル絶縁層、上部電極層をこの順で積層した電子放出部を有し、さらに、前記上部電極層に接続された上部電極バスライン層と、前記下部電極層を前記上部電極バスライン層から電気的に絶縁する絶縁層とを備える薄膜型電子源及び薄膜型電子

源マトリクスの製造方法において、前記絶縁性基板上に前記下部電極層を形成する工程と、上記下部電極層に対して、溶剤に対する溶解特性が異なる2種類のレジストを用い、上部電極バスライン切断用の第1のレジストパターンと、電子放出窓形成用の第2のレジストパターンとの2種類のレジストパターンを順次形成する2種類のレジストパターンニング工程と、前記第1のレジストパターン及び前記第2のレジストパターンの存在下で前記下部電極層の表面に前記絶縁層を形成する工程と、上記絶縁層形成工程で得られた第1の中間基板体の表面に上部電極バスライン層材料を成膜する工程と、前記第2のレジストパターンをリフトオフして電子放出部窓を形成する工程と、上記電子放出部窓を通して前記下部電極層にトンネル絶縁層を形成する工程と、上記トンネル絶縁層形成工程で得られた第2の中間基板体の表面に上部電極層材料を成膜して前記トンネル絶縁層上に上部電極層を形成するとともに前記上部電極バスライン層及び上記上部電極層の積層膜からなる上部電極バスラインを形成する工程と、前記第2のレジストパターンをリフトオフして前記上部電極バスライン層及び上記上部電極層の積層膜からなる上部電極バスラインを前記第1のレジストパターンに応じて除去する工程とからなることを特徴とする薄膜型電子源及び薄膜型電子源マトリクスの製造方法。

【0025】解決手段4

絶縁性基板上に、下部電極層、トンネル絶縁層、上部電極層をこの順で積層した電子放出部を有し、さらに、前記上部電極層に接続された上部電極バスライン層と、前記下部電極層を物理的に保護しかつ前記下部電極層を前記上部電極バスライン層から電気的に絶縁する保護絶縁層とを備える薄膜型電子源及び薄膜型電子源マトリクスの製造方法において、絶縁性基板上に下部電極層を形成する工程と、上記下部電極層に対して、溶剤に対する溶解特性が異なる2種類のレジストを用い、上部電極バスライン切断用の第1のレジストパターンと、電子放出窓形成用の第2のレジストパターンとの2種類のレジストパターンを順次形成する2種類のレジストパターンニング工程と、前記第1のレジストパターン及び前記第2のレジストパターンの存在下で前記下部電極層の表面に前記保護絶縁層を形成する工程と、上記保護絶縁層形成工程で得られた第1の中間基板体の表面に上部電極バスライン層材料を成膜する工程と、前記第2のレジストパターンをリフトオフして電子放出部窓を形成する工程と、上記電子放出部窓を通して前記下部電極層にトンネル絶縁層を形成する工程と、上記トンネル絶縁層形成工程で得られた第2の中間基板体の表面に上部電極層材料を成膜して前記トンネル絶縁層上に上部電極層を形成するとともに前記上部電極バスライン層及び上記上部電極層の積層膜からなる上部電極バスラインを形成する工程と、前記第1のレジストパターンをリフトオフして、前記上部

電極バスライン層及び上記上部電極層の積層膜からなる上部電極バスラインを前記第1のレジストパターンに応じて除去する工程とからなることを特徴とする薄膜型電子源及び薄膜型電子源マトリクスの製造方法。

【0026】解決手段5

絶縁性基板上に、下部電極層、トンネル絶縁層、上部電極層をこの順で積層した電子放出部を有し、さらに、前記上部電極層に接続された上部電極バスライン層と、前記下部電極層を前記上部電極バスライン層から電気的に絶縁する絶縁層とを備える薄膜型電子源及び薄膜型電子源マトリクスの製造方法において、前記絶縁性基板上に前記下部電極層を形成する工程と、上記下部電極層の表面に前記トンネル絶縁層を形成する工程と、上記下部電極層に対して、溶剤に対する溶解特性が異なる2種類のレジストを用い、上部電極バスライン切断用の第1のレジストパターンと、電子放出窓形成用の第2のレジストパターンとの2種類のレジストパターンを順次形成する2種類のレジストパターンニング工程と、前記第1のレジストパターン及び前記第2のレジストパターンの存在下で前記下部電極層の表面に前記絶縁層を形成する工程と、上記絶縁層形成工程で得られた第1の中間基板体の表面に上部電極バスライン層材料を成膜する工程と、前記第2のレジストパターンをリフトオフして電子放出部窓を形成する工程と、上記電子放出部窓形成工程で得られた第2の中間基板体の表面に上部電極層材料を成膜して前記トンネル絶縁層上に上部電極層を形成するに依りて前記上部電極バスライン層及び上記上部電極層の積層膜からなる上部電極バスラインを形成する工程と、前記第1のレジストパターンをリフトオフして前記上部電極バスライン層及び上記上部電極層の積層膜からなる上部電極バスラインを前記第1のレジストパターンに応じて除去する工程とからなることを特徴とする薄膜型電子源及び薄膜型電子源マトリクスの製造方法。

【0027】解決手段6

絶縁性基板上に、下部電極層、トンネル絶縁層、上部電極層をこの順で積層した電子放出部を有し、さらに、前記上部電極層に接続された上部電極バスライン層と、前記下部電極層を前記上部電極バスライン層から電気的に絶縁する絶縁層とを備える薄膜型電子源及び薄膜型電子源マトリクスの製造方法において、前記絶縁性基板上に前記下部電極層を形成する工程と、上記下部電極層の表面に前記トンネル絶縁層を形成する工程と、上記下部電極層に対して、溶剤に対する溶解特性が異なる2種類のレジストを用い、上部電極バスライン切断用の第1のレジストパターンと、電子放出窓形成用の第2のレジストパターンとの2種類のレジストパターンを順次形成する2種類のレジストパターンニング工程と、前記第1のレジストパターン及び前記第2のレジストパターンの存在下で前記下部電極層の表面に前記絶縁層を形成する工程と、上記絶縁層形成工程で得られた第1の中間基板体の

表面に上部電極バスライン層材料を成膜する工程と、前記第2のレジストパターンをリフトオフして電子放出部窓を形成する工程と、上記電子放出部窓を通して前記下部電極層に形成されたトンネル絶縁層を修正する工程と、上記トンネル絶縁層修正形成工程で得られた第2の中間基板体の表面に上部電極層材料を成膜して前記トンネル絶縁層上に上部電極層を形成するとともに前記上部電極バスライン層及び上記上部電極層の積層膜からなる上部電極バスラインを形成する工程と、前記第1のレジストパターンをリフトオフして前記上部電極バスライン層及び上記上部電極層の積層膜からなる上部電極バスラインを前記第1のレジストパターンに応じて除去する工程とからなることを特徴とする薄膜型電子源及び薄膜型電子源マトリクスの製造方法。

【0028】解決手段7

絶縁性基板上に、下部電極層、トンネル絶縁層、上部電極層をこの順で積層した電子放出部を有し、さらに、前記上部電極層に接続された上部電極バスライン層と、前記下部電極層を物理的に保護しつつ前記下部電極層を前記上部電極バスライン層から電気的に絶縁する保護絶縁層とを備える薄膜型電子源及び薄膜型電子源マトリクスの製造方法において、前記絶縁性基板上に前記下部電極層を形成する工程と、上記下部電極層の表面に前記トンネル絶縁層を形成する工程と、上記下部電極層に対して、溶剤に対する溶解特性が異なる2種類のレジストを用い、上部電極バスライン層切断用の第1のレジストパターンと、電子放出窓形成用の第2のレジストパターンとの2種類のレジストパターンを順次形成する2種類のレジストパターニング工程と、前記第1のレジストパターン及び前記第2のレジストパターンの存在下で前記下部電極層の表面に前記保護絶縁層を形成する工程と、上記保護絶縁層形成工程で得られた第1の中間基板体の表面に上部電極バスライン層材料を成膜する工程と、前記第2のレジストパターンをリフトオフして電子放出部窓を形成する工程と、上記電子放出部窓形成工程で得られた第2の中間基板体の表面に上部電極層材料を成膜して前記トンネル絶縁層上に上部電極層を形成するとともに前記上部電極バスライン層及び上記上部電極層の積層膜からなる上部電極バスラインを形成する工程と、前記第1のレジストパターンをリフトオフして前記上部電極バスライン層及び上記上部電極層の積層膜からなる上部電極バスラインを前記第1のレジストパターンに応じて除去する工程とからなることを特徴とする薄膜型電子源及び薄膜型電子源マトリクスの製造方法。

【0029】解決手段8

絶縁性基板上に、下部電極層、トンネル絶縁層、上部電極層をこの順で積層した電子放出部を有し、さらに、前記上部電極層に接続された上部電極バスライン層と、前記下部電極層を物理的に保護しつつ前記下部電極層を前記上部電極バスライン層から電気的に絶縁する保護絶縁

層とを備える薄膜型電子源及び薄膜型電子源マトリクスの製造方法において、前記絶縁性基板上に前記下部電極層を形成する工程と、上記下部電極層の表面に前記トンネル絶縁層を形成する工程と、上記下部電極層に対して、溶剤に対する溶解特性が異なる2種類のレジストを用い、上部電極バスライン切断用の第1のレジストパターンと、電子放出窓形成用の第2のレジストパターンとの2種類のレジストパターンを順次形成する2種類のレジストパターニング工程と、前記第1のレジストパターン及び前記第2のレジストパターンの存在下で前記下部電極層の表面に前記保護絶縁層を形成する工程と、上記保護絶縁層形成工程で得られた第1の中間基板体の表面に上部電極バスライン層材料を成膜する工程と、前記第2のレジストパターンをリフトオフして電子放出部窓を形成する工程と、上記電子放出部窓を通して前記下部電極層に形成されたトンネル絶縁層を修正形成する工程と、上記トンネル絶縁層修正工程で得られた第2の中間基板体の表面に上部電極層材料を成膜して前記トンネル絶縁層上に上部電極層を形成するとともに前記上部電極バスライン層及び上記上部電極層の積層膜からなる上部電極バスラインを形成する工程と、前記第1のレジストパターンをリフトオフして前記上部電極バスライン層及び上記上部電極層の積層膜からなる上部電極バスラインを前記第1のレジストパターンに応じて除去する工程とからなることを特徴とする薄膜型電子源及び薄膜型電子源マトリクスの製造方法。

【0030】解決手段9

絶縁性基板上に、下部電極層、トンネル絶縁層、上部電極層をこの順で積層した電子放出部を多数、マトリクス状に配列してなり、さらに、前記下部電極層に接続された下部電極バスライン及び上記下部電極バスラインと交差し前記上部電極層に接続された上部電極バスライン層とを備え、前記電子放出部位以外の部分では前記上部電極層が前記上部電極バスライン層を覆って前記上部電極バスライン層及び前記上部電極層の積層膜からなる上部電極バスラインを形成している薄膜型電子源マトリクスと、蛍光体を塗布した面板とを間隔において張り合わせ、前記間隔を真空に封じた表示装置パネルと、前記下部電極バスラインに接続された下部電極駆動回路と、前記積層膜上部電極バスラインに接続された上部電極駆動回路とからなることを特徴とする薄膜型電子源マトリクス表示装置。

【0031】解決手段10

絶縁性基板上に、下部電極層、トンネル絶縁層、上部電極層をこの順で積層した電子放出部を多数、マトリクス状に配列してなり、さらに、前記下部電極層に接続された下部電極バスライン及び上記下部電極バスラインと交差し前記上部電極層に接続された上部電極バスライン層と、前記下部電極層を物理的に保護しつつ前記下部電極層を前記上部電極バスライン層から電気的に絶縁する保

10

20

30

40

50

護絶縁層とを備え、前記電子放出以外の部分では、前記上部電極層が前記上部電極バスライン層を覆って前記上部電極バスライン層及び前記上部電極層の積層膜からなる上部電極バスラインを形成している薄膜型電子源マトリクスと、蛍光体を塗布した面板とを間隔をおいて張り合わせ、前記間隔を真空に封じた表示装置パネルと、前記下部電極バスラインに接続された下部電極駆動回路と、前記積層膜上部電極バスラインに接続された上部電極駆動回路とからなることを特徴とする薄膜型電子源マトリクス表示装置。

【0032】本発明の上記以外の課題及び解決手段は、いかに説明する実施の形態により明らかになる。

【0033】

【発明の実施の形態】本発明の第1の実施の形態を、実施例1と併せて、図4ないし図14を用いて説明する。

【0034】図4は第1の実施の形態の薄膜電子源マトリクスの製造工程フロー、図5ないし図13は各工程における平面図及び断面図、図14は第1の実施の形態による実施例1の薄膜電子源マトリクスの部分拡大図を示す。

【0035】はじめに、工程P11において、まず、ガラス等の絶縁性の基板10上に、下部電極11作成用の薄膜として、Al膜を、例えば、300nmの膜厚で形成する。このAl膜の形成には、例えば、スパッタリング法や抵抗加熱蒸着法、MBE法などを用いる。つぎに、このAl膜を、フォトリソグラフィによるレジスト形成とそれに続くエッチングとによりストライプ状に加工し、図5に示すように、下部電極11を形成する。ここで用いるレジストはエッチングに適したものであればよく、公知のものを適宜用いることができる。また、エッチングもウェットエッチング、ドライエッチングのいずれも可能である。

【0036】以下、本発明の特徴である、トンネル絶縁層12、保護絶縁層14、上部電極バスライン層15、上部電極層13の順で形成、積層される本発明による新しい構造の作成プロセスを述べる。

【0037】本発明の特徴の一つは、工程P12及び工程P13のレジストパターニングにある。すなわち、両工程P12及び工程P13において形成されるレジストパターンは、溶剤に対する溶解特性が異なる2種類のレジストパターンであるが、レジスト原材料としては1種類で、現像後のポストバーク温度によって特定の溶剤に対する溶解度が変化するレジスト材を用いて形成するのが有利である。例えば、キノン・ジアザイド系のポジ型フォトリソレジストは、70～130℃の低温でポストバーク処理したものはアセトンやアルコールに可溶であるが、140～160℃の高温でポストバーク処理すると熱縮合するため、アセトンやアルコールには不溶となり、専用の剥離液を使用しないと剥離できなくなる。

【0038】上記のようなフォトリソレジスト材を用い、ま

ず、工程P12において、図6に示すように、下部電極11に対し直交方向のストライプレジストパターン40を形成する。このストライプレジストパターン40は、この後に形成する上部電極バスライン層15と上部電極層13との積層膜のストライプ間のスペース部分に対応させる。実施例1では、ポストバークはアセトン、アルコールに不溶となる150℃、30分の条件で行った。

【0039】次に同じレジスト材を用い、工程P13において、図7に示すように、電子放出部レジストパターン41を形成する。実施例1では、アセトン、アルコールでリフトオフ可能な120℃、30分の条件でポストバークを行った。以上でレジスト膜のパターニングは終了する。

【0040】続いて、これらのレジストパターン40、41をマスクとし、工程P14で、図8に示すように、Alの下部電極11のうち、電子放出部以外の部分を陽極酸化して厚い保護絶縁層14を形成する。保護絶縁層14の膜厚は化成電圧によって制御することができる。実施例1では化成電圧を50Vとし、68nmのAl₂O₃膜を形成した。

【0041】さらに、工程P15で、図9に示すように、上部電極バスライン層15となる金属膜を、基板10の全面に成膜する。この上部電極バスライン層15となる金属膜は、図14に示すように、Moなど、絶縁性の基板10との接着性に優れた金属を下層15-1とし、Auなどの酸化されない金属を上層15-2とする積層膜構成とし、スパッタリング法や蒸着法などで連続成膜するのが望ましい。下層15-1の材料としては、上記Moの他に、CrやTa、W、Nbなど絶縁基板との接着性のよい他の金属でもよい。また上層15-2の材料には、上記Auの他、Pt、Ir、Rh、Ruなどが使用可能である。これらの金属を用いることにより後で形成する上部電極層13との電気的接触を確保できる。なお、上記上部電極バスライン層15を形成する金属膜の膜厚は、配線抵抗の要求仕様により適宜選択する。実施例1では、Mo膜15-1の膜厚を30nm、Au膜15-2の膜厚を100nmとした。

【0042】以上のプロセスにより、保護絶縁層14、上部電極バスライン層15の成膜が完成する。なお、ここでは保護絶縁層14に陽極酸化膜を用いたが、スパッタリング法やCVD法、蒸着法などで絶縁物を堆積することも可能である。この場合は上部電極バスラインの成膜と同様に行えばよい。また、保護絶縁層14を、上記陽極酸化膜と堆積膜の積層膜とすることも有効である。

【0043】つぎに、電子放出部形成のために、工程P16及び図10に示すように、基板10全体をアセトン中に浸漬し、図9に示される電子放出部のレジストパターン41のみリフトオフし、電子放出部の窓開けを行う。なお、図9において、レジストパターン41の厚み（高さ）は、実際は上記上部電極バスライン層15の厚

10

20

30

40

50

みに比べて桁違いに大きいので、必要に応じてその側面からリフトオフを容易に行うことができる。

【0044】レジストパターン41のリフトオフ終了後の電子放出部形成窓には下部電極11のAl膜が露出している。工程P17及び図11に示すように、保護絶縁層14をマスクとして自己整合的にこの露出部分を陽極酸化し、薄いトンネル絶縁層12を形成する。実施例1では、化成電圧を4Vとし、厚さ5.5nmのトンネル絶縁層12を形成した。

【0045】つづいて、工程P18及び図12に示すように、上部電極層13の材料をスパッタリング法等で基板10の全面に成膜する。これにより、上記トンネル絶縁層12の上に、上部電極バスライン層15をマスクとして自己整合的に上部電極が形成される。上部電極層13の膜は、図14に示すように、耐熱性のよいIrを下層13-1、Ptを中間層13-2、電子放出効率のよいAuを上層とする三層膜13-3とするのが望ましい。実施例1では、それぞれの膜厚を、1nm、2nm、3nmとし、全体で6nmとした。

【0046】最後に、工程P18及び図13に示すように、基板10全体をフォトリソグラフィーの専用剥離液に浸漬し、ストライプのレジストパターン40をリフトオフする。これにより、上部電極バスライン層15と、上部電極層13との積層膜が、上部電極バスラインとして、ストライプに分離され、薄膜型電子源のマトリクス構造が完成する。

【0047】図14は、上記のようにして製造された薄膜型電子源のマトリクスの1電子源分の拡大断面を示すものである。下部電極11、厚い保護絶縁層14及び厚い上部電極バスライン層15が、基板10に接して形成され、電子放出部は、厚い保護絶縁層14の電子放出窓に囲まれた下部電極11の上方凸部11a及びこの下部電極11の上方凸部11a上に形成された薄いトンネル絶縁層12、並びに、上記上部電極バスライン層15の電子放出窓内に形成された、薄い上部電極層13の上部電極部13aとで構成され、上記薄い上部電極層13は上記電子放出窓から延在して上記厚い電極バスライン層15を覆っている特徴的な構造となっている。

【0048】そして、前記したように、厚い上部電極バスライン層15は、絶縁性の基板10との接着性に優れた、Moなどの金属からなる下層膜15-1と、Auなどの酸化されない金属からなる上層膜15-2との積層膜構造になっており、また、上部電極層13は、Irの下層膜13-1、Ptの中間層膜13-2、Auの上層膜13-3からなる三層膜構成になっている。

【0049】このように本発明の構造、製造方法を用いれば、あらかじめパターンニングしておいた2種類のレジスト膜をマスクとして、上部電極バスライン、さらに保護絶縁層を持つ薄膜型電子源の自己整合的な形成が可能である。またトンネル絶縁膜12の形成後は、薬品を使

用することなく上部電極を形成することが可能なので、トンネル絶縁膜12にダメージを与えないメリットもある。

【0050】つぎに、本発明の第2の実施の形態を、実施例2と併せて、図15ないし図24により説明する。

【0051】まず、工程P21により下部電極11を形成した後、工程P22により図16に示すように陽極酸化法によりトンネル絶縁膜12を形成する。実施例2では、化成電圧は4Vとし、膜厚5.5nmのAl₂O₃トンネル絶縁膜12を形成した。

【0052】続いて、工程P23及び図17並びに工程P24及び図18に示すように、実施例1と同様に、2種類のレジストパターンを形成する。

【0053】次に、工程P25及び図19に示すように、下部電極11を陽極とし、陽極酸化法により保護絶縁層14を形成する。この部分には、前記したように工程P22によりあらかじめトンネル絶縁層12が形成されているが、高い化成電圧をかければ、さらに酸化を進行させることができ、厚い保護絶縁層14を形成することができる。実施例2では、化成電圧を50Vとし、68nmの保護絶縁層14を形成した。その後、実施例1と同様の手法により、工程P26及び図20に示すように上部電極バスライン層15を形成する。

【0054】これらの成膜を終えた後、工程P27で基板10をアセトン中に浸漬し、図21に示すように電子放出部のレジストパターン41のリフトオフをおこなう。レジストパターン41が取り除かれた電子放出部には、先に工程P22で形成したトンネル絶縁膜12がすでに形成されている。しかしこの第2の実施の形態のプロセスでは、工程P22のトンネル絶縁膜12を形成した後に、工程P23及び工程P24と、2回のレジストパターンニングを行っているため、トンネル絶縁膜12は、薬品等により、図21に示すように、多少のダメージ50を受けている。そこで工程P28において再度陽極酸化を行なうことにより、図22のように、ダメージ50を修復する。実施例2における化成電圧は最初にトンネル絶縁層12を形成した時と同じ4Vとした。これによりトンネル絶縁膜12の膜厚を変えることなくダメージ50の修復ができた。

【0055】つづいて、第1の実施の形態と同様に、工程P29で、図23のように上部電極層13の材料を基板10の全表面に成膜し、最後に工程P30で、専用剥離液に浸漬し、レジストパターン40をリフトオフして、上部電極バスライン層15と上部電極層13とからなる積層膜をストライプに加工することにより、上部電極バスラインをストライプに分離し、図24に示す薄膜型電子源マトリクスを得る。

【0056】この第2の実施の形態による薄膜電子源マトリクスの利点は、ストライプのレジストパターンの下にも絶縁層が形成されることである。本来、本発明のプ

ロセスは自己整合的であるため、上部電極バスライン層15の下は保護絶縁層14であり、下部電極11との間のリークの可能性は低い。しかし、逆に自己整合的であるため、上部電極バスライン層15と下部電極11が基板10上で空間的に近接する。そのため、下部電極11が一部酸化されていない第1の実施の形態の場合、リフトオフプロセスによる上部電極バスラインの加工精度が低いと、リークする可能性がある。これに対して第2の実施の形態では、下部電極11の表面がすべて酸化されているため、リークの可能性はより小さく、さらに信頼性の高い薄膜型電子源マトリクスを形成することができる。

【0057】次に、上記した第1の実施の形態又は第2の実施の形態による薄膜型電子源マトリクスを用いた表示装置の実施の形態を、図25ないし図27を用いて説明する。

【0058】図25は、表示装置パネルの断面を示すもので、第1の実施の形態又は第2の実施の形態により薄膜型電子源マトリクスを形成した、電子源側の基板10と、表示側の面板100とが、シールスペーサー部材200を挟んで対向する構成になっている。面板100はガラスなど透光性のものを用い、その表面に透光性の加速電極101として、例えば、ITO(Indium-Tin Oxide)などの導電性透明膜を面板全面に形成し、この加速電極101の上に蛍光体102を塗布して形成されている。蛍光体102としては、例えば、 $ZnO:Zn$ などを用いるとよい。このようにして加速電極101と蛍光体102を形成した面板100を、シールスペーサー部材200により、薄膜型電子源を形成した基板10と200 μ m程度の間隔を保って封着する。そして基板10と面板100とで挟まれた空間を真空中に排気して、表示装置パネルが完成する。

【0059】図26は、このようにして製作した表示装置パネルの駆動回路への結線図である。下部電極11は下部電極バスライン層駆動回路61へ結線し、上部電極バスライン層15と上部電極層13との積層膜からなる上部電極バスライン17は上部電極駆動回路62に結線する。加速電極101には400V程度の加速電圧63を常時印加する。

【0060】いま、図26において、n番目の下部電極11-Knと、m番目の上部電極バスライン17-Cmとの交点を(n, m)で表すことにする。図27は、図26の各駆動回路の発生電圧の波形を示す。

【0061】図26及び図27において、時刻t0ではいずれの電極も電圧ゼロであるので電子は放出されず、したがって、蛍光体102は発光しない。時刻t1において、下部電極11-K1には、-V1なる電圧を、上部電極バスライン17-C1、C2には、+V2なる電圧を印加する。交点(1, 1)、(1, 2)の下部電極11-上部電極層13間には(V1+V2)なる電圧が

印加されるので、(V1+V2)を電子放出開始電圧以上に設定しておけば、この2つの交点の薄膜型電子源からは電子が真空中に放出される。放出された電子は加速電極101に印加された加速電圧63により加速された後、蛍光体102にぶつかり、蛍光体102を発光させる。時刻t2において、下部電極11-K2に、-V1なる電圧を印加し、上部電極バスライン17-C1に、V2なる電圧を印加すると、同様に交点(2, 1)が点灯する。このようにして、上部電極バスライン17に印加する信号を変えることにより所望の画像または情報を表示することが出来る。また、上部電極バスライン17への印加電圧V1の大きさを適宜変えることにより、階調のある画像を表示することができる。

【0062】本発明の表示装置においては、表示パネルの上部電極バスライン17は、基板10との接着性に優れた厚い上部電極バスライン層15が耐酸化性の優れた上部電極層13で覆われているので、全長にわたり低抵抗であるから均一な明るさの画面表示が得られるとともに、酸化等による経時劣化が少ないから長寿命で安定した画面表示が得られる。

【0063】

【発明の効果】以上のように、本発明の薄膜型電子源及び薄膜型電子源マトリクスによれば、電子放出部は、整合した薄いトンネル絶縁層及び薄い上部電極層からなり、上記電子放出部を除くバスライン部は、厚い保護絶縁層で保護された下部電極バスライン、及び、上記薄い上部電極層で覆われた厚い上部電極バスライン層からなる厚い上部電極バスラインが交差する構成になっているので、電子放出効率が良好で、エッジ部における絶縁破壊がなく、上部電極バスラインの強度を大きく抵抗値を小さくできる効果がある。

【0064】これにより、長寿命で、均一な明るさの表示装置が得ることができる。

【0065】また、本発明の薄膜型電子源マトリクスの製造方法によれば、パターンニングと、成膜及びリフトオフのプロセスとを分離し、プロセスの簡略化や薬品によるトンネル絶縁層12のダメージの防止を実現するとともに、電子放出部に薄いトンネル絶縁層12と薄い上部電極層13を、電子放出部以外に厚い保護絶縁層14と厚い上部電極バスライン層15を自己整合的に形成できるので、マスクの種類、枚数及びマスクを用いたパターンニング作業の削減を図ることができるとともに、パターンずれを防止することができる。

【図面の簡単な説明】

【図1】薄膜型電子源の動作原理を示す説明図である。

【図2】薄膜型電子源の基本構造を示す断面図である。

【図3】従来の薄膜型電子源の構造を示す断面図である。

【図4】本発明の第1の実施の形態による薄膜型電子源マトリクスの製造方法を示す工程フロー図である。

21

【図5】第1の実施の形態における下部電極形成段階の平面図(a)及び断面図(b)である。

【図6】第1の実施の形態におけるストライプ用レジスト形成段階の平面図(a)及び断面図(b)である。

【図7】第1の実施の形態における電子放出部用レジスト形成段階の平面図(a)及び断面図(b)である。

【図8】第1の実施の形態における保護絶縁層形成段階の平面図(a)及び断面図(b)である。

【図9】第1の実施の形態における上部電極バスライン層形成段階の平面図(a)及び断面図(b)である。

【図10】第1の実施の形態における電子放出部窓開け段階の平面図(a)及び断面図(b)である。

【図11】第1の実施の形態におけるトンネル絶縁層形成段階の平面図(a)及び断面図(b)である。

【図12】第1の実施の形態における上部電極材料成膜段階の平面図(a)及び断面図(b)である。

【図13】第1の実施の形態における上部電極バスライン形成段階の平面図(a)及び断面図(b)である。

【図14】第1の実施例による薄膜型電子源マトリクスにおける1電子源分の拡大断面図である。

【図15】本発明の第2の実施の形態による薄膜型電子源マトリクスの製造方法を示す工程フロー図である。

【図16】第2の実施の形態における下部電極形成及びトンネル絶縁層形成段階の平面図(a)及び断面図である。

【図17】第2の実施の形態におけるストライプ用レジスト形成段階の平面図(a)及び断面図(b)である。

【図18】第2の実施の形態における電子放出部用レジスト形成段階の平面図(a)及び断面図(b)である。

【図1】

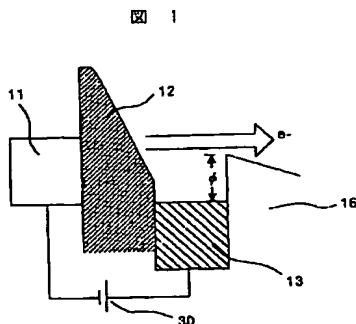


図 1

【図2】

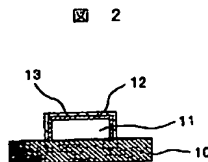


図 2

【図3】

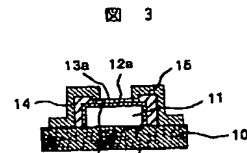
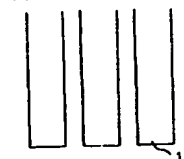


図 3

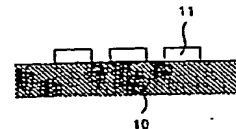
【図5】

図 5

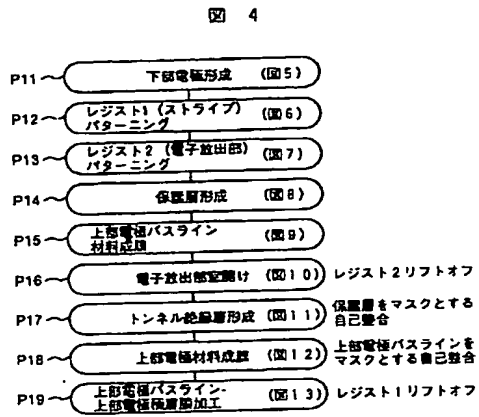
(a) 平面図



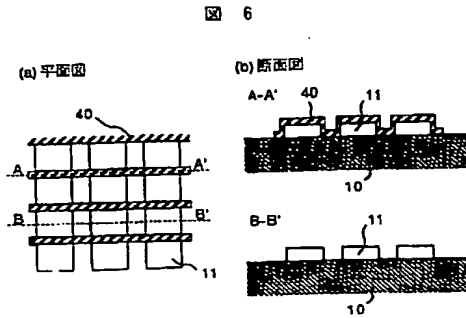
(b) 断面図



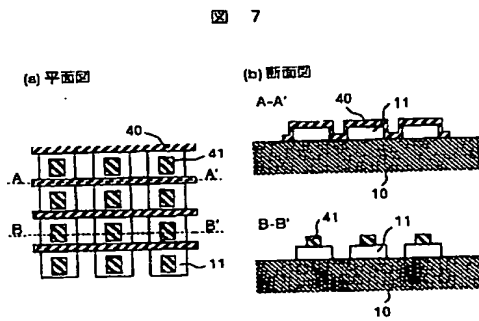
【図4】



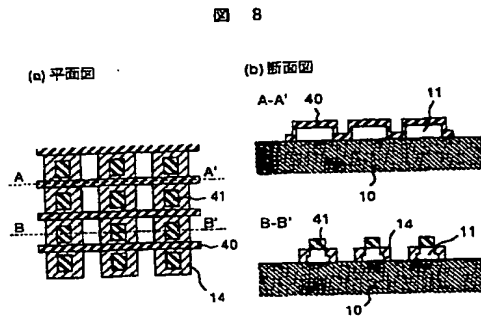
【図6】



【図7】



【図8】



【図10】

【図9】

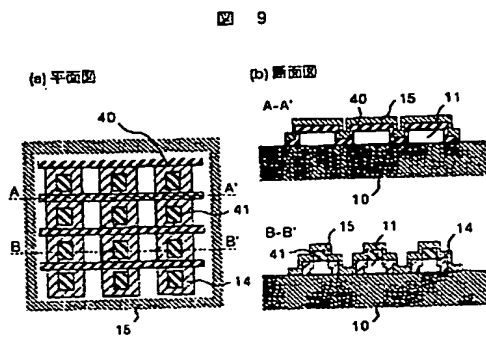
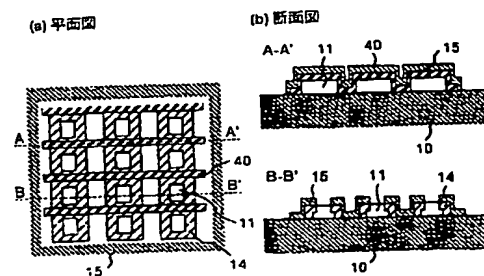
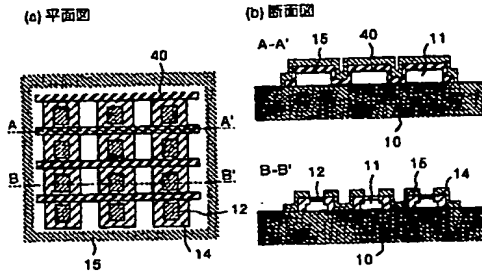


図 10



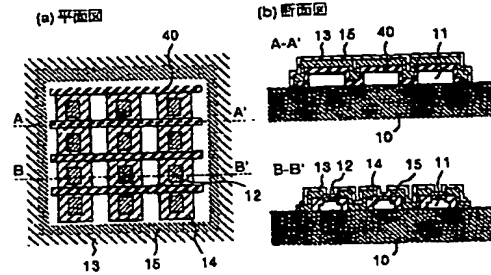
【図11】

図 11



【図12】

図 12



【図13】

図 13

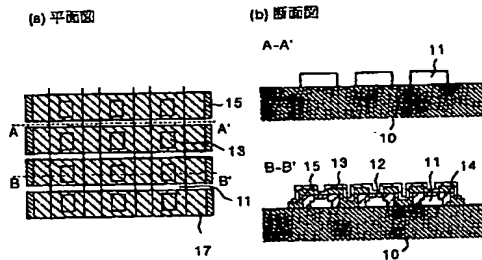
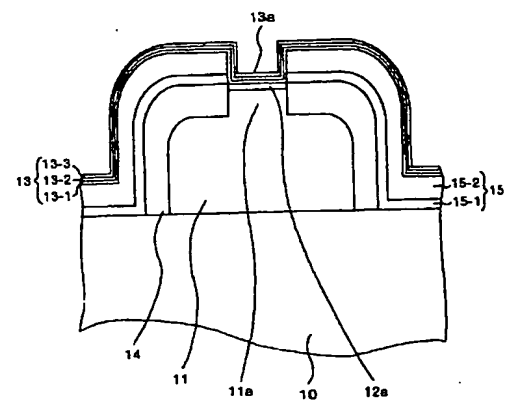
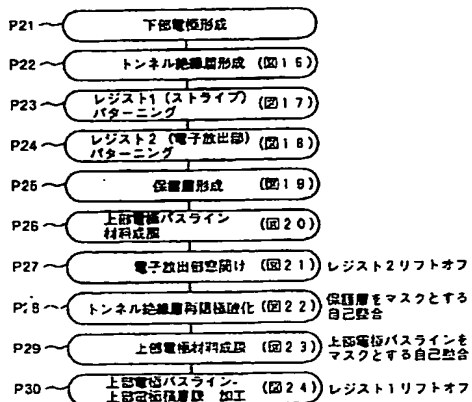


図 14



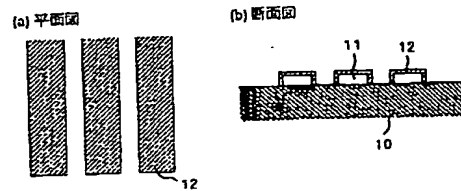
【図15】

図 15



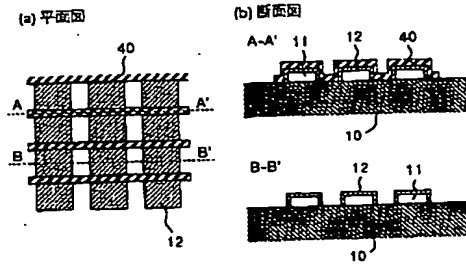
【図16】

図 16



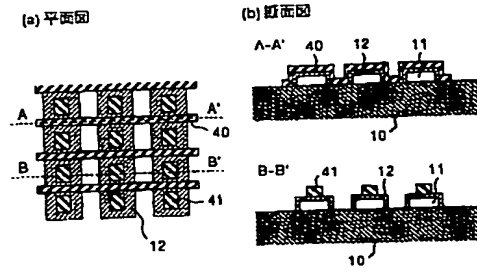
【図17】

図 17



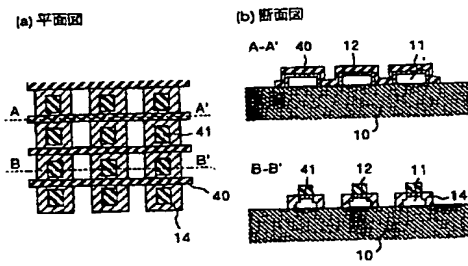
【図18】

図 18



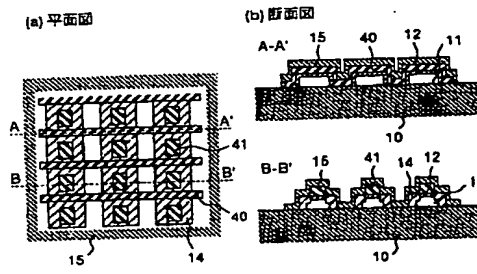
【図19】

図 19



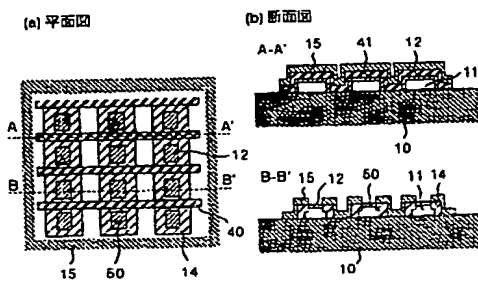
【図20】

図 20



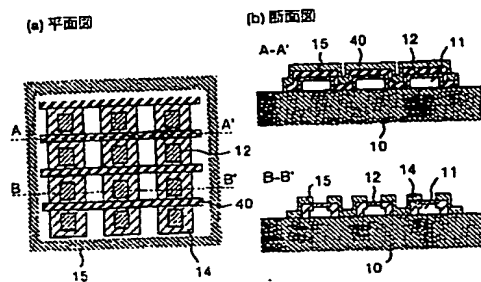
【図21】

図 21



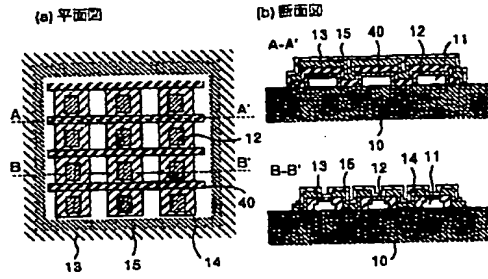
【図22】

図 22



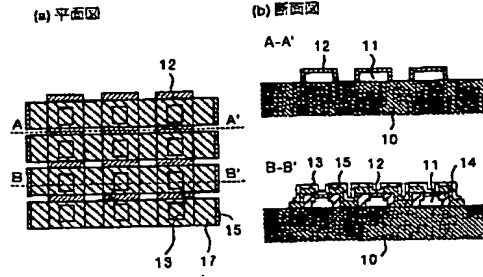
【図23】

図 23



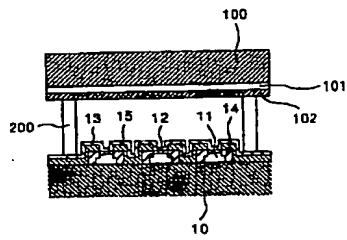
【図24】

図 24



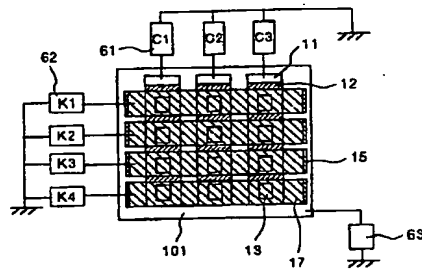
【図25】

図 25



【図26】

図 26



【図27】

図 27

